

DOCKET NO.: 266221US6PCT

0/526048
DT01 Rec'd PCT/PT 28 FEB 2005

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takeshi SHIMOYAMA

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HERewith

INTERNATIONAL APPLICATION NO.: PCT/JP03/12824

INTERNATIONAL FILING DATE: October 7, 2003

FOR: INFORMATION PROCESSING APPARATUS WORKING AT VARIABLE OPERATING
FREQUENCY

**REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION**

Commissioner for Patents
Alexandria, Virginia 22313


Sir:

In the matter of the above-identified application for patent, notice is hereby given that
the applicant claims as priority:

<u>COUNTRY</u>	<u>APPLICATION NO</u>	<u>DAY/MONTH/YEAR</u>
Japan	2002-304533	18 October 2002

Certified copies of the corresponding Convention application(s) were submitted to the
International Bureau in PCT Application No. PCT/JP03/12824. Receipt of the certified
copy(s) by the International Bureau in a timely manner under PCT Rule 17.1(a) has been
acknowledged as evidenced by the attached PCT/IB/304.

Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Gregory J. Maier
Attorney of Record
Registration No. 25,599
Surinder Sachar
Registration No. 34,423

Customer Number

22850

(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 08/03)

Rec'd PCT/PTO 28 FEB 2005
PCT/JP03/12824

日本国特許庁
JAPAN PATENT OFFICE

10/526048

07.10.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年10月18日

出願番号
Application Number: 特願2002-304533

[ST. 10/C]: [JP 2002-304533]

出願人
Applicant(s): ソニー株式会社

REC'D 21 NOV 2003

WIPO

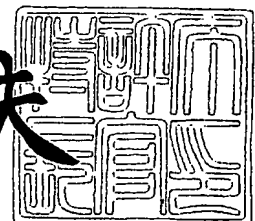
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年11月 7日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

出証番号 出証特 2003-3002061

【書類名】 特許願

【整理番号】 0290060705

【提出日】 平成14年10月18日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 下山 健

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100110434

 【弁理士】

 【氏名又は名称】 佐藤 勝

【手数料の表示】

 【予納台帳番号】 076186

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置、情報記憶装置、情報処理方法、及び情報処理プログラム

【特許請求の範囲】

【請求項 1】 周波数が可変とされる同期クロックの周波数情報が演算処理される周波数情報演算部と、前記同期クロックが動作のクロックとして供給されると共に前記周波数情報演算部で演算処理された結果に応じたタイミングで情報処理を行う情報処理部とを有することを特徴とする情報処理装置。

【請求項 2】 前記周波数情報演算部における同期クロックの周波数情報についての前記演算処理は、前記同期クロックが供給された状態における情報処理のタイミングを得るための時間を算出する処理であることを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】 前記同期クロックの周波数情報は、現在若しくは時間的に後となる周波数情報であることを特徴とする請求項 1 記載の情報処理装置。

【請求項 4】 前記周波数情報の演算処理はコード化された前記周波数情報をデコードすることで行われることを特徴とする請求項 1 記載の情報処理装置。

【請求項 5】 前記周波数情報の演算処理は、前記周波数情報の周波数に対応した信号周期を加算処理することで行われることを特徴とする請求項 1 記載の情報処理装置。

【請求項 6】 周波数が可変とされる同期クロックの周波数情報が演算処理される周波数情報演算部と、前記同期クロックが動作のクロックとして供給されると共に前記周波数情報演算部で演算処理された結果に応じたタイミングを利用して情報記憶動作を行う情報記憶部とを有することを特徴とする情報記憶装置。

【請求項 7】 前記情報記憶部は、電荷を蓄積することでデータを格納できる複数のメモリセルを有し、前記情報記憶動作は前記メモリセルの一部から増幅器までの電荷の取出し動作、前記増幅器についての入出力動作、及び前記増幅器から前記メモリセルに対して電荷を蓄積させる動作の少なくとも 1 つを含むことを特徴とする請求項 6 記載の情報記憶装置。

【請求項 8】 前記メモリセルはメモリ本体部に形成され、前記周波数情報演算

部は、前記メモリ本体部を制御するメモリ制御部に形成されることを特徴とする請求項7記載の情報記憶装置。

【請求項9】 前記周波数情報の演算処理はコード化された前記周波数情報をデコードすることで行われることを特徴とする請求項6記載の情報記憶装置。

【請求項10】 前記周波数情報の演算処理は、前記周波数情報の周波数に対応した信号周期を加算処理することで行われることを特徴とする請求項6記載の情報記憶装置。

【請求項11】 周波数が可変とされる同期クロックの周波数情報を発生させる周波数制御部と、前記周波数情報が演算処理される周波数情報演算部と、前記同期クロックが動作用のクロックとして供給されると共に前記周波数情報演算部で演算処理された結果に応じたタイミングを利用して情報記憶動作を行う情報記憶部とを有することを特徴とする情報記憶装置。

【請求項12】 前記周波数制御部は、中央演算処理装置から指令に基づき同期クロックの周波数を変化させ、その同期クロックの現在又は時間的に後となる周波数についての周波数情報を出力することを特徴とする請求項11記載の情報記憶装置。

【請求項13】 周波数が可変とされる同期クロックの周波数情報を演算処理する手順と、情報処理を行う情報処理部に対して前記同期クロックを動作用のクロックとして供給すると共に前記演算処理された結果に応じたタイミングで前記情報処理を進める手順とを有することを特徴とする情報処理方法。

【請求項14】 前記情報処理は、電荷を蓄積することでデータを格納できる複数のメモリセルに対する情報記憶動作を含み、該メモリセルの一部から増幅器までの電荷の取出し動作、前記増幅器についての入出力動作、及び前記増幅器から前記メモリセルに対して電荷を蓄積させる動作の少なくとも1つを含むことを特徴とする請求項13記載の情報処理方法。

【請求項15】 周波数が可変とされる同期クロックの周波数情報を演算処理する手順と、情報処理を行う情報処理部に対して前記同期クロックを動作用のクロックとして供給すると共に前記演算処理された結果に応じたタイミングで前記情報処理を進める手順とを実行することを特徴とする情報処理プログラム。

【請求項 16】 前記情報処理は、電荷を蓄積することでデータを格納できる複数のメモリセルに対する情報記憶動作を含み、該メモリセルの一部から増幅器までの電荷の取出し動作、前記増幅器についての入出力動作、及び前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷の蓄積動作の少なくとも 1 つを含むことを特徴とする請求項 13 記載の情報処理プログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は所要の同期クロックが供給されて動作するメモリ装置、その他のデバイスなどの情報処理装置、情報記憶装置、情報処理方法、及び情報処理プログラムに関し、特に同期クロックの周波数が変化した場合でも最適な信号処理動作を実現し得るための情報処理装置、情報記憶装置、情報処理方法、及び情報処理プログラムに関する。

【0002】

【従来の技術】

パーソナルコンピュータや PDA (Personal Digital Assistance) などの電子機器は、そのシステム構成として複数の LSI (Large-Scale Integrated Circuit) を内部に配設し、それら LSI の信号の入出力や信号処理に同期クロックを用いているものが広く利用されている。一般に同期動作を行うところは、その信号の周波数に比例して全体の動作速度が決まるように構成されており、このような同期動作を行う素子としては、CPU (Central Processing Unit) やメモリ、ノースブリッジなどが挙げられる。

【0003】

一方、常に一定の動作周波数ではなく、装置の動作周波数を可変とする例も知られている。例えば、パーソナルコンピュータ、PDA、携帯電話機などの電子機器では、使用状態に応じて必要な動作だけをするように工夫されてきており、例えば待機時やスリープモードの際には、動作周波数を低く制御して低消費電力化を図り、通話時や動画像の信号処理時には動作周波数を高くして高速な演算処理を実現するシステムも増加してきている（例えば、特許文献 1 参照。）。

【0004】

【特許文献1】 特開 2000-163965号公報

【0005】

このような動作周波数を可変とするシステムは、その可変な動作周波数がクロックとして供給される領域が、通常、周波数を変更してはいけない固定周波数の部分とは切り離されており、動作周波数を変化させた場合でも固定周波数で動作する領域には悪影響が現れないように構成されている。

【0006】

【発明が解決しようとする課題】

しかしながら、上述の可変とされる動作周波数の信号をそのまま同期信号として用いる情報処理装置では、高い周波数であっても低い周波数でも安定した動作が実現されることが求められており、一般に高い周波数でも、すなわち短いクロック間隔でも動作を保証するように設計した場合で逆に低い周波数で動作させた場合では、その信号処理の性能は低下した周波数に比例したものになってしまう。このような単純な動作速度の低減によっても低消費電力化が可能ではあるが、最適化されて制御されているとはいえず、さらなる高性能な制御が求められている。

【0007】

そこで、本発明は、上述の技術的な課題に鑑み、可変とされる動作周波数を利用した場合でも性能の低下を招かず最適な信号処理が実現される情報処理装置、情報記憶装置、情報処理方法、及び情報処理プログラムの提供を目的とする。

【0008】

【課題を解決するための手段】

上述の技術的な課題を解決するため、本発明の情報処理装置は、周波数が可変とされる同期クロックの周波数情報が演算処理される周波数情報演算部と、前記同期クロックが動作のクロックとして供給されると共に前記周波数情報演算部で演算処理された結果に応じたタイミングで情報処理を行う情報処理部とを有することを特徴とする。

【0009】

本発明の情報処理装置によれば、周波数情報演算部には周波数が可変とされる同期クロックの周波数情報が入力され、当該周波数情報演算部で周波数情報の加算処理やデコードなどの演算処理が行われる。この演算処理結果に応じて情報処理部では所要の情報処理が行われるが、既に周波数情報が情報処理部では得られており、無駄な時間待ちなどを省いた最適化した処理を進めることができる。

【0 0 1 0】

また、本発明の情報記憶装置は、周波数が可変とされる同期クロックの周波数情報が演算処理される周波数情報演算部と、前記同期クロックが動作のクロックとして供給されると共に前記周波数情報演算部で演算処理された結果に応じたタイミングを利用して情報記憶動作を行う情報記憶部とを有することを特徴とする。

【0 0 1 1】

本発明の情報記憶装置によれば、同様に周波数情報演算部には周波数が可変とされる同期クロックの周波数情報が入力され、当該周波数情報演算部で周波数情報の加算処理やデコードなどの演算処理が行われる。この演算処理結果は、当該情報記憶装置では、情報記憶処理に用いられ、同様に、無駄な時間待ちなどを省いた最適化した処理を進めることができる。

【0 0 1 2】

【発明の実施の形態】

本発明の情報処理装置の一例として情報記憶装置であるメモリ装置の例について図面を参照しながら説明する。本実施の形態のメモリ装置は、SDRAM (Synchronous Dynamic Random Access Memory) からなるメモリ 1 1 と、その制御のためのメモリコントローラ 1 2 と、周波数情報Infqを出力する周波数制御部 1 3 とを主な構成としている。

【0 0 1 3】

メモリ 1 1 は、本実施の形態においては、シンクロナス（同期型）DRAMであり、はじめに読み出し開始アドレスを入力すれば、クロック信号CLKvに同期してデータを連続的に出力することができ、比較的的高速なデータ送出が可能である。特に、本実施の形態では、クロック信号CLKvは可変であり、一例を示せば1 0 MH

z、33MHz、50MHz、100MHz、133MHzなどのクロック周波数を当該情報処理装置の使用状態や当該情報処理装置が搭載される電子機器の状態に応じて切り替えるように構成されている。可変なクロック信号CLKvは、システムのCPUの外部クロックである所謂ベースクロック自体であっても良く、当該メモリ11の制御専用生成されるクロック信号であっても良い。この可変なクロック信号CLKvは、周波数制御部13から送出されるが、他の周波数発生回路系から直接供給されるものであっても良い。なお、メモリ11の具体的な構造例については、後述するが、メモリ11とメモリコントローラ12が別のチップとされる構成であっても良く、メモリ11はメモリコアとされ、メモリコントローラ12と同じチップ内に設けられていても良い。メモリ11にはこのような可変なクロック信号CLKvが供給されると共に、メモリコントローラ12からの制御信号Sigや、図示しないロウアドレス、カラムアドレス、データ入出力などの信号線が接続する。また、本実施の形態では、メモリ11はシンクロナスDRAMであるが、通常のDRAMやファーストページDRAM、EDO DRAM (Extended Data Out Dynamic Random Access Memory) などであっても良く、SDRAMもDDR SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory) であっても良く、DRDRAM (Direct Rambus Dynamic Random Access Memory) などのメモリでも良い。さらに、メモリ11はDRAMに限らず、SRAM (Static Random Access Memory) やROM (Read-Only Memory)、フラッシュメモリなどであっても良い。また、本明細書においてメモリを含んで構成されるメモリ装置若しくは情報処理装置としては、メモリ部を内蔵したマイコンやその他の信号処理チップなどであっても良い。

【0014】

メモリコントローラ12はメモリ11の動作を制御するための制御信号Sigを出力するためのデバイスであり、制御信号SigはCS (チップセレクト)、RAS (ロウアドレスストロープ)、CAS (カラムアドレスストロープ)、WE (ライトイネーブル)、CKEなどの各種信号を総称したものであり、複数の信号からなる信号群を意味する。このメモリコントローラ12にも可変なクロック信号CLKvが供給され、制御信号Sigの出力タイミングを同期させるようにしている。更に、このメモリコントローラ12では、周波数制御部13からの周波数情報Infqが入力さ

れており、この周波数情報Infqに、クロック信号CLKvに関する周波数の情報が含まれる。この周波数情報Infqは現在のクロック信号CLKvについての情報とすることができ、時間軸上先のクロック信号CLKvについての周波数情報Infqであっても良い。一例として周波数情報Infqはコード化されており、コード化の例については後述する。また、周波数情報Infqは可変なクロック信号CLKv自体やその線形変換した情報であっても良い。メモリコントローラ12では、入力した周波数情報Infqを用いて演算処理が行われ、後述するような演算結果を反映したメモリ11の最適な制御が行われる。

【0015】

周波数制御部13は周波数情報Infqを出力する回路部であり、本実施の形態では可変なクロック信号CLKvも当該周波数制御部13から出力されるように構成される。周波数制御部13はCPUなどからのコマンドに応じて、発生させるクロック信号CLKvの周波数を変えられるように構成されており、例えば、ソフトオフ時、待機時、スリープモード時などでは動作クロックを落として電力消費を低下させることが可能となる。この周波数制御部13もメモリ11やメモリコントローラ12と同じチップとする構成でも良く、それぞれ別個のチップとしても良い。

【0016】

図2は本実施の形態のメモリ装置の動作を説明するタイムチャートであり、図2の(A)は100MHzの固定した周波数でのメモリ11のリード(読み出し)動作を示す図であり、図2の(B)は比較例の動作を示す図であって、可変な周波数にそのまま固定したタイミングで動作させる場合の処理を示す図であり、図2の(C)は周波数情報から計算する制御方法の例である。図2の(A)～(C)において信号CLKは固定クロック信号であり、信号CLKvは可変クロック信号であり、コマンド(Command)信号の部分の中、“A”はアクティベート動作、“R”はリード動作、“P”はプリチャージ動作のそれぞれコマンド発行の期間を示す。

【0017】

SDRAMの制御においては、通常、アクティベート動作からプリチャージ動作までの時間であるTras(RASアクティベート時間)、アクティベート動作からリード動作までの時間であるTrcd(RAS-CAS遅延時間)、プリチャージ動作からアクティ

ベート動作までの時間であるTrp（プリチャージ時間）などのパラメータがあり、コマンド発行には最低でもこれらの時間だけ待つ必要があり、待たない場合には動作保証されないことになる。

【0018】

ここで本実施の形態における可変周波数のクロック信号に応じた動作を説明する前に、周波数が増えない固定周波数の場合について簡単に説明すると、動作クロックの周波数が所定の周波数に固定の場合、その最適化は比較的容易なものとなる。すなわち、図2の(A)に示すように、100MHzの固定周波数で動作させる場合には、当該SDRAMの時間パラメータ{Tras, Trcd, Trp}が{40ns, 20ns, 20ns}、CASレイテンシーが2である時では、RASアクティベート時間Trasが4クロック、RAS-CAS遅延時間Trcdが2クロック、プリチャージ時間Trpが2クロックのそれぞれ待ち時間となり、この100MHzの固定周波数での動作では最適に制御されている。

【0019】

ところが、動作クロックの周波数を可変とした場合に、そのまま固定周波数の制御方式を用いたときでは、1クロックの期間が長くなった低周波数部分で余分な時間待ちが生じ、これが全体としては性能の低下をもたらす。すなわち、図2の(B)に示すように、最初のアクティベート動作("A")のコマンド発行のクロックの立ち上がりで開始するRASアクティベート時間Trasは4クロック分の期間のままであり、図2の(B)では最初の2クロックの周波数が50MHzという半分のクロック周波数であるため、本来必要な待ち時間は過ぎているにも拘わらず、丁度100MHzの2クロック分だけ長いRASアクティベート時間Trasとなってしまう。次のアクティベート動作("A")のRASアクティベート時間Trasは、100MHzの3クロック分だけ長いRASアクティベート時間Trasとなってしまう。同様にRAS-CAS遅延時間Trcd、プリチャージ時間Trpも動作クロック周波数の変化に応じて余分な待ち時間が生じてしまう。

【0020】

そこで、本実施の形態のメモリ装置では、動作クロックの周波数が増えた場合でも、周波数情報Infqが用いられて的確な演算処理が行われ、図2の(C)に

示すように、その周波数に応じた信号処理が行われる。すなわち、メモリコントローラ 12 には、図 1 に示したように周波数制御部 13 から周波数情報 Infq がデータとして送出されており、このメモリコントローラ 12 ではクロック信号の周期を算出できる。従って、余分にコマンド発行のタイミングが待たされる場合には、その前にメモリコントローラ 12 からメモリ 13 に対してコマンドを発行し、無駄のない高速な処理が実現されることになる。図 2 の (C) を用いて詳しく説明すると、メモリコントローラ 12 が周波数制御部 13 からアクティベート動作 ("A") のコマンド発行終了後に続く周波数情報 Infq として 50MHz であるとの情報をリード動作 ("R") のコマンド発行のタイミングの少なくとも 1 つ前のクロックの部分で受け取っており、その周波数情報 Infq に基づいてアクティベート動作 ("A") のコマンド発行用のクロックに続いて連続的に次のリード動作 ("R") のコマンド発行のタイミングが追従する。仮に本実施の形態のメモリ装置を用いない場合では、図 2 の (A) や (B) に示すように、1 クロック分だけ離間してリード動作 ("R") のコマンドの発行のタイミングが来ることになるが、本実施の形態のメモリ装置では場合、周波数制御部 13 からの周波数情報 Infq によってアクティベート動作 ("A") のコマンド発行と次のリード動作 ("R") のコマンド発行のタイミングを連続的としても必要な動作が確保されることがメモリコントローラ 12 で既に認識されている。従って、連続的なコマンド発行を行ってメモリ 11 を最適に制御し、余分な待ち時間などを省いて全体的な高速化を図ることができる。

【0021】

メモリコントローラは、少なくともアクティベート動作 ("A") のコマンド発行終了時から次のリード動作 ("R") のコマンド発行終了するまでの期間の周波数情報 Infq に基づいて必要なウェイト時間である RAS-CAS 遅延時間 Trcd を満たす場合にリード動作 ("R") のコマンドを発行してもよい。またはリード動作 ("R") のコマンド発行中の周波数が 100MHz であると仮定して、リード動作 ("R") のコマンド発行前までの周波数情報 Infq に基づき、必要なウェイト時間である RAS-CAS 遅延時間 Trcd を満たす場合にリード動作 ("R") のコマンドを発行してもよい。また同様に、メモリコントローラは、周波数情報 Infq に基づいて、必要なウェイ

ト時間を満たし、プリチャージ時間 T_{rp} やRASアクティベート時間 T_{ras} が最適に短くなるようにアクティベート動作("A")のコマンドやプリチャージ動作("P")のコマンドの発行を行う。

【0022】

ここで必要な動作が確保されることがメモリコントローラ12で既に認識される点についてさらに説明すると、図2の(C)では、2クロック目が周波数情報 $Infq$ によって50MHzと認識され、その周期が20nsであることが計算されることになる。ここでRAS-CAS遅延時間 T_{rcd} は本SDRAMでは20nsであり、クロックの周期が20nsであれば確保されることが分かる。従って、メモリコントローラ12はアクティベート動作("A")のコマンド発行と次のリード動作("R")のコマンド発行を連続クロックとする制御を行い、この連続的なコマンドの発行によって余分な待ち時間などを省き、全体的な高速化が実現される。

【0023】

次に、周波数情報 $Infq$ について図3及び図4を参照して更に詳しく説明する。周波数情報 $Infq$ は、一例として可変クロック信号 CLK_v の周波数を指標するデータビットとすることができる。周波数情報 $Infq$ は、図3の(A)に示すように、現在の動作クロック信号 CLK_v の周波数を示すものであっても良く、或いは図3の(B)に示すように、動作クロック信号 CLK_v の周波数の変化に先行して次のクロックの周波数を指標するようにしても良い。また、図示を省略するが、周波数の変化点だけを指標する信号であっても良く、さらに、未来の動作クロック信号 CLK_v として次のクロックのものに限定されず、所定数の複数クロック後の周波数を指標するようにしても良い。

【0024】

クロックの周波数を指標する方法としては、周波数情報 $Infq$ としてコード化した情報を用い、それをデコードして利用することができる。図4には、2種類のエンコード方法をテーブル形式で示すが、エンコード方法はこれらのものに限定されず他の符号化方法を用いても良い。図4の(A)のエンコード方法は可変なクロック信号 CLK_v の周波数に合わせてそれぞれ2ビットのデータを割り当てる例である。本例では、クロック信号 CLK_v の周波数が10MHzの時に{00}が割り

当てられ、周波数が33MHzの時に{01}が割り当てられ、周波数が50MHzの時に{10}が割り当てられ、周波数が100MHzの時に{11}が割り当てられる。この方式では、周波数が10倍変化した場合、例えばクロック信号の周波数が10MHzから100MHzに変化した場合でも、データ長は2ビットのままであり、デコードの際の処理や回路構成を複雑化せずに処理できることになる。

【0025】

図4の(B)のエンコード方法は可変なクロック信号CLKvの周波数の逆数に合わせたデータを割り当てる例である。クロック信号CLKvの周波数の逆数は各周波数における1クロック分の周期に対応する。本例では、クロック信号CLKvの周波数が10MHzの時に{10}が割り当てられ、周波数が33MHzの時に{3}が割り当てられ、周波数が50MHzの時に{2}が割り当てられ、周波数が100MHzの時に{1}が割り当てられる。これらのデータは、データの表す値そのものが1クロック分の周期に対応することから、単純な乗算によって待ち時間などを形成することができる。すなわち、クロック信号CLKvの周波数が10MHz、33MHz、50MHz、100MHzの時には、クロック周期は100ns、30ns、20ns、10nsであり、これらは先のデータ値に10ns分を乗算することで容易に算出できることになる。

【0026】

次に、図5及び図6を参照しながら、本実施の形態のメモリ装置について更に詳しく説明する。図5にはメモリコントローラ30とメモリユニット31が示されており、本実施の形態においては、メモリコントローラ30に周波数情報Infqが入力されており、動作クロック信号の周波数が増加した場合においても最適化された動作を行う。

【0027】

まず、メモリコントローラ30は前述の如き周波数制御部からの周波数情報Infqが入力されて、所定のタイミングでコマンドの発行を行う。図6は信号とコマンドの対応表の一例であり、バー記号は簡単のために省略している。CS(チップセレクト)信号が“L”(低レベル)となった時に、当該メモリユニット31が選択されている状態となる。前述の如きアクティベート動作“A”、リード動作“R”、

プリチャージ動作“P”のそれぞれコマンドは、RAS（ロウアドレスストロブ）、CAS（カラムアドレスストロブ）、WE（ライトイネーブル）の組み合わせによって形成される。具体的には、RAS信号が“L”レベル、CAS信号が“H”レベル、WE信号が“H”レベルの組み合わせでアクティベート動作のコマンドが構成され、RAS信号が“H”レベル、CAS信号が“L”レベル、WE信号が“H”レベルの組み合わせでリード（読み出し）動作のコマンドが構成され、RAS信号が“H”レベル、CAS信号が“L”レベル、WE信号が“L”レベルの組み合わせでライト（書き込み）動作のコマンドが構成され、RAS信号が“L”レベル、CAS信号が“H”レベル、WE信号が“L”レベルの組み合わせでプリチャージ動作のコマンドが構成される。従って、例えば前述のように、クロック信号CLKvの周波数が増加する場合において、図2の（C）の第2番目のクロックのように、アクティベート動作のためのコマンド発行からリード動作のためのコマンド発行を連続的に行う場合では、RAS信号が“L”レベル、CAS信号が“H”レベルであったものをRAS信号が“H”レベル、CAS信号が“L”レベルにそれぞれシフトさせるように信号を送出すれば良く、このレベルシフトを周波数制御部からの周波数情報Infqに基づく演算結果で行うようにしている。

【0028】

メモリユニット31は、メモリバンク55と、各セルの充電された電荷を増幅させるセンスアンプ56や、その他の周辺回路から構成される。メモリバンク55は、実際にデータを記憶するものであり、複数のセル55aから構成されている。各セル55aは、コンデンサ状の構成となっており、データに対応して、各セル55aを電荷が充電された状態とするか、または、充電されない状態とすることにより、各セル55aの充電状態のパターンによりデータを記憶するものである。今の場合、セル55aは、1個のメモリバンク55に対して8×8個設けられている例を示しているが、当然のことながら、セル55aの数は、これ以外の数であってもよい。

【0029】

また、メモリバンク55上の行毎のセル55aの集まりは、特にページ55bと呼ばれる。さらに、メモリバンク55は、図示しないリフレッシュ制御回路のリフレッシュタイミング発生器よりリフレッシュ信号が入力されるか、または、

行セクタ 53 より読み出し信号が入力されると、信号が入力された行に対応するページ 55b 単位で、各セル 55a の電荷をセンスアンプ 56 に転送する。尚、図 3 中、メモリバンク 55 の縦横に表示された番号（0 乃至 7）は、メモリバンク 55 の各セル 55a の垂直方向の位置を示す行、および、水平方向の位置を示す例のそれぞれの番号を示している。

【0030】

センスアンプ 56 は、行セクタ 53 により指定されたページ 55b のセル 55a のデータが転送されてくると、それを受け取り、さらに、所定の電位まで増幅し、再び、元のページ 55b に転送する。このとき、電荷が蓄積された状態で、列セクタ 57 より指定された列のデータを読み出し信号が入力されると、センスアンプ 56 は、指定された列のデータを読み出して、出力アンプ 58 に出力する。

【0031】

尚、図 5、センスアンプ 56 は、1 ページ 55b 分のセル 55a の電荷だけしか増幅できない構成となっている。このため、リフレッシュ処理、または、読み出し処理のいずれかの 1 ページ分の処理だけしか処理できないので、セルフリフレッシュタイミング発生器より発生されるリフレッシュ信号、または、行セクタ 53 より発生される読み出し信号は、これらの処理が、いずれかの行に対して実行されるタイミングとなるように発生されるように図示しない CPU により制御される。また、センスアンプ 56 は、複数のページ（行）に対して、リフレッシュ処理、または、読み出し処理を同時に並列処理できるよう複数に設けるようにしても良い。

【0032】

列アドレスラッチ 52 は、メモリコントローラ 30 から入力される CAS 信号を受信すると、動作状態をオンにし、メモリバンク 55 上のセル 55a の位置を示すアドレスの列の情報を列セクタ 57 に出力する。列セクタ 57 は、列アドレスラッチ 52 より入力された列に対応するセンスアンプ 56 上のデータの読み出し信号をセンスアンプ 56 に出力し、出力アンプ 58 に読み出させる。出力アンプ 58 は、入力された電荷をさらに倍増して、メモリコントローラ 30 を介

してCPUにデータを出力する。

【0033】

次に、CPUからの指令によりメモリコントローラ30がメモリバンク55のセル55aのデータを読み出す動作について説明する。例えば、CPUからの指令により、メモリコントローラ30がDRAMのメモリバンク55の6行4行目のセル55aのデータを読み出そうとする場合、CPUは、メモリコントローラ30に第6行第4列目のセル55aのデータを読み出すように指令する。メモリコントローラ30の制御信号発生部は、この指令を受け取ると、RAS信号を行アドレスラッチ51に出力した後、対応するアドレスの信号を行アドレスラッチ51、および、列アドレスラッチ52に出力する。行アドレスラッチ51は、RAS信号を制御信号発生部より受け取ると、その動作をオンにし、続けて受信されるアドレス情報の行の情報を行セクタ53に出力する。従って、今の場合、「第6行目」という情報が、行セクタ53に出力される。

【0034】

行セクタ53は、行アドレスラッチ51から入力された行の情報に基づいて、その行に対応するページ55bのセル55aの電荷をセンスアンプ56に転送させる読み出し信号を出力する。すると、今の場合、メモリバンク55上の図中実線で囲まれた第6行目のページ55bのセル55aの電荷が、センスアンプ56に出力される。センスアンプ56は、転送されてきた電荷の電荷量を所定の値まで増幅させる。

【0035】

このとき、制御信号発生部は、CAS信号を列アドレスラッチ52に出力すると共に、アドレス信号を行アドレスラッチ51、および列アドレスラッチ52に出力する。列アドレスラッチ52は、CAS信号を制御信号発生部より受け取ると、その動作をオンにし、続けて受信されるアドレス情報の列の情報を列セクタ57に出力する。従って、今の場合、「第4列目」という情報が、列セクタ57に出力される。

【0036】

列セクタ57は、入力された列の情報に基づいて、その列に対応するセンス

アンプ 56 で増幅された電荷を出力アンプ 58 に転送させる読み出し信号を出力する。すなわち、今の場合、センスアンプ 56 は、この読み出し信号に基づいて、図中実線で囲まれた第 4 列目のセル 55a の電荷が、出力アンプ 58 に出力される。出力アンプ 58 は、転送されてきた電荷の電荷量を転送に必要な所定の値まで増幅させた後、メモリコントローラ 30 を介して CPU にデータを出力する。尚、この後、センスアンプ 56 は、増幅した第 6 行目のページ 55b の電荷を、再びメモリバンク 55 上の元のセル 55a に戻す。従って、データの読み出しがなされた（今の場合、第 6 行目）ページ 55b 上の 8 個のセル 55a は、充電電荷量が元の状態（フルチャージ状態）に戻されている。

【0037】

次に、図 7 を参照しながら、本発明のメモリ装置を搭載した PDA (Personal Digital Assistance) の例について説明する。この PDA は図示しない液晶表示部やタッチパネルなどに接続される PDA コア部 60 を有しており、この PDA コア部 60 には、所要の情報処理手順を進める CPU 61 やコプロセッサ 62 が配設されている。CPU 61 はバスライン 66 に接続されており、このバスライン 66 を介して低速な回路部への接続部となるバスブリッジ 67、高速な描画を実現するグラフィックエンジン 63、画像の取り込みを行うカメラとの接続のためのカメラインターフェイス 65、液晶表示部への信号の送受信を行う LCD (Liquid Crystal Display) コントローラ 64 などが接続されている。

【0038】

バスブリッジ 67 には、USB (Universal Serial Bus) コントローラ 81、I/O 用の I/O バス 82、タッチパネルインターフェイス 83、キーボードやジョグダイヤル、発光ダイオードなどのインターフェイス 84 などの回路が接続され、更にクロック信号 CLKv とその周波数情報 Infq を出力する周波数制御部 76 もバスブリッジ 67 に接続されている。

【0039】

前述のバスライン 66 には、更に情報記憶デバイスであるエンベデット DRAM (eDRAM) 71 及び DRAM コントローラ 72 が接続するように構成され、さらに外部メモリコントローラ 73 も接続する。DRAM コントローラ 72 は、エンベデット DR

AM 7 1 に対する制御信号を送る回路部であり、特に本実施の形態では、例えば周波数制御部 7 6 から可変とされるクロック信号CLKvの周波数情報Infqが供給される。DRAMコントローラ 7 2 は周波数情報Infqを用いデコードなどの演算処理を行い、クロック信号CLKvの周波数が変わったときでもエンベデットDRAM 7 1 の最適な処理を行う。これらエンベデットDRAM 7 1 とDRAMコントローラ 7 2 からなるメモリシステム 4 1 では、クロック信号CLKvの周波数が変わった際に、周波数情報Infqに応じた処理で余分な待ち時間を省いた高速な処理が可能である。

【0040】

また、メモリシステム 4 1 だけではなく、外部メモリコントローラ 7 3 についても可変とされるクロック信号CLKvの周波数情報Infqを供給することができる。外部メモリコントローラ 7 3 は、外部メモリバスを介して接続するROM 7 4 やSDRAM 7 5 に対する制御信号を送出する回路である。この外部メモリコントローラ 7 3 でも周波数情報Infqが用いられてデコードなどの演算処理を行い、クロック信号CLKvの周波数が変わった際にROM 7 4 やSDRAM 7 5 での余分な待ち時間を省いた最適な処理を行う。これら外部メモリコントローラ 7 3 からなるコントローラ部 4 2 と、ROM 7 4 及びSDRAM 7 5 からなるメモリ部 4 3 とでメモリシステムが構成され、前述のメモリシステム 4 1 と同様に高速な処理が実現される。なお、上述の構成例では、DRAMコントローラ 7 2 と外部メモリコントローラ 7 3 の両方が周波数情報Infqを用いて余分な待ち時間を省いた高速な処理をするものとしているが、どちらか一方だけがそのような周波数情報Infqを用いて高速化を図るものであっても良い。また、外部メモリコントローラ 7 3 に接続するメモリとしてROM 7 4 やSDRAM 7 5 は例示に過ぎず他のメモリや他の信号処理素子などであっても良い。更に、外部メモリコントローラ 7 3 とDRAMコントローラ 7 2 にそれぞれ供給される周波数情報Infqも同じのものであっても良く、異なるクロック信号を用いる場合などでは異なる周波数情報Infqを用いるようにしても良い。

【0041】

次に、図 8 及び図 9 を参照して、本実施の形態のメモリ装置における情報処理方法についてその手順を追って説明する。このような情報処理方法は、例えばメモリーコントローラのハードウェアの動作の一例を示すものであり、更には、

例えば、本発明の情報処理装置がマイコンなどの形式である場合には、所要の媒体形式で供給したプログラムを所定のコントローラに読み込んで実行することも可能である。

【0042】

先ず、主なプログラムの流れである図8の流れについて説明する前に、図9のサブルーチン#1の流れについて説明する。サブルーチン#1が開始した後では、手順S21では既に該当する制限を満たしたか否かが判断される。該当する制限とは、例えばそのメモリの性能に依存する制限であるが、SDRAMの時間パラメータ {Tras, Trcd, Trp} が {40ns, 20ns, 20ns} であった場合には、コマンド発行の対象にかかる時間が既に経過したか否かが判断される。既に該当する制限を満たした場合 (YES) には、サブルーチン#1から図8のプログラムルーチンに戻る。

【0043】

手順S21では既に該当する制限を満たしていない場合 (NO) には、手順S22に進み待ち時間レジスタがリセットされる。この待ち時間レジスタがリセットされた後、手順S23でレジスタの値に例えば次順のクロックの周波数状態の周期の値、或いはそれに比例した数値を加算する。ここで該加算処理に周波数情報 In fq が用いられる。この加算処理によって、次順のクロックの周波数状態を反映した待ち時間レジスタが形成され、次の手順S24で該待ち時間レジスタの値がコマンド発行のための待ち時間を満たしたか否かが判断される。この手順S24で待ち時間レジスタの値がコマンド発行のための待ち時間を満たした場合 (YES) では、前述の手順S21と同様にサブルーチン#1から図8のプログラムルーチンに戻る。手順S24で待ち時間レジスタの値がコマンド発行のための待ち時間を満足していない場合 (NO) では、手順S25に進み、1クロック待つことになる。この1クロックの待機の後、手順S23に戻り、再びレジスタの値に例えば現在の周波数状態の周期の値、或いはそれに比例した数値を加算し、同様の処理を行う。

【0044】

このように図9のサブルーチン#1の各手順からは制御すべきメモリの制限で

ある時間パラメータとの比較が行われ、制限が満たされた状態では次のクロックまで待つことなく信号処理が進められることになる。従って、余分な待ち時間を省いた高速な処理が可能である。手順S23での処理には、現在の周波数状態の周期の値、或いはそれに比例した数値が加算され、該加算処理には周波数情報In fqが有効に用いられる。

【0045】

図8はコントローラにおける主なプログラムの流れを示す図であり、プログラムの開始後、コントローラがCPUからリクエストを受信したものとする（手順S11）。すると、手順S12で次に読む又は書くアドレスとDRAMの該当するセンスアンプの現在の状態が調査され、その結果に応じて、異なる処理を開始するようにジャンプがなされる。

【0046】

手順S12でセンスアンプに別のロウアドレスのデータが入っている場合では、手順S13に進みRASアクティベート時間Trasに関する処理が進められる。このRASアクティベート時間Trasに関する処理は、先に図9で示したサブルーチン#1が用いられる。基本的に図9のサブルーチン#1は時間待ちのルーチンであり、所要時間の時間待ちが終了した時点で手順S14に進み、プリチャージのコマンドを発行する。DRAM側では、プリチャージのコマンドを受け、センスアンプに存在しているデータを所定の各メモリセルに充電する。

【0047】

このプリチャージのコマンドを発行した後、手順S15に進み、プリチャージ時間Trpに関する処理が進められる。このプリチャージ時間Trpに関する処理にも先に図9で示したサブルーチン#1が用いられる。同様にサブルーチン#1は時間待ちのルーチンであり、所要時間の時間待ちが終了した時点で手順S16に進み、アクティベートのコマンドを発行する。DRAM側では、アクティベートのコマンドを受け、所定のアドレスにかかる各メモリセルのデータをセンスアンプに読み出し増幅する。

【0048】

このアクティベートのコマンドを発行した後、手順S17に進み、RAS-CAS遅

延時間Trcdに関する処理が進められる。このRAS-CAS遅延時間Trcdに関する処理にも先に図9で示したサブルーチン#1が用いられる。サブルーチン#1は時間待ちのルーチンであることから、所要時間の時間待ちが終了した時点で手順S18に進み、リード若しくはライトのコマンドを発行する。DRAM側では、リード若しくはライトのコマンドを受け、所定のアドレスにかかる各メモリセルのデータをセンスアンプのノードから読み出し或いはセンスアンプのノードに対して書き込みする。この信号が読み出され或いは書き込まれることになる。続いて、手順S19に進み、次のリクエストの待機状態に入る。

【0049】

手順S12でセンスアンプにデータが入っていない場合では、プリチャージ動作が不要となる。従って、手順S13がスキップされ、プリチャージの発行（手順S14）も省略される。センスアンプにデータが入っていない場合、手順S12から手順S15に進み、そこからプリチャージ時間Trpに関する処理と、RAS-CAS遅延時間Trcdに関する処理とが先に説明した時間待ちのルーチンであるサブルーチン#1を用いてそれぞれ進められる。最終的に、手順S19に進み、次のリクエストの待機状態に入るとは、手順S12でセンスアンプに別のロウアドレスのデータが入っている場合と同様である。

【0050】

最後に、手順S12でセンスアンプに入っているデータのロウアドレスと当該リード又はライトの動作にかかるデータのロウアドレスが一致する場合、プリチャージ動作のみならずアクティベート動作も不要となる。従って、手順S13から手順S16までがスキップされ、プリチャージの発行（手順S14）及びアクティベートの発行（手順S16）も省略される。従って、手順S12から手順S17に進み、RAS-CAS遅延時間Trcdに関する処理が時間待ちのルーチンであるサブルーチン#1を用いてそれぞれ進められる。なお、最終的に手順S19に進み、次のリクエストの待機状態に入るとは、手順S12でセンスアンプに別のロウアドレスのデータが入っている場合と同様である。

【0051】

このように本実施の形態の情報処理装置では、リード又はライトにかかるアド

レスと、センスアンプに残っているデータのアドレスとの比較が行われ、一致する場合はそのデータがそのまま利用されることから、高速な読み出しや書き込みが実現されることになる。また、コマンド発行のタイミング制御には、図9で示した時間待ちプログラムが利用されることになり、その時間待ちの計算には周波数情報Infqが用いられることから、余分な待ち時間を省いた高速な処理が実現されることになる。また、換言すれば、高速動作を実現しながらも、待機時やスリープモード時などの期間では、ゆっくりとしたクロックでも確実に動作することになり、逆に全体として消費電力を十分に抑えることができることになる。なお、上述した一連の処理はハードウェアで実行させることも可能であるが、ソフトウェアにより実行させることも可能である。

【0052】

なお、上述の実施の形態においては、主にメモリなどの記憶素子のコントローラに周波数情報Infqを読み取り制御を調整する機構を設けたものとして説明しているが、これに限定されず、他の信号処理素子や回路などに可変クロックが供給される場合であっても良く、その可変クロック信号の周波数情報を演算処理することで、必要な待ち時間の計算などにより最適化された情報処理を行う回路であっても良い。

【0053】

また、上述の実施の形態においては、次のクロックの周波数状態に基づいて待ち時間の計算などの処理が行われているが、図3に示すように数回先のクロックの周波数情報を既に得ている場合には、予め演算するように構成しても良い。すなわち、図10の(A)に示すように、 n 番目のクロックの時点で $n+2$ 番目のクロックの周波数情報（例えば20ns）が得られる場合には、その $n+2$ 番目のクロックの周波数情報を用いて演算可能である。また、上述の図8、図9のフローチャートでは、次順のクロック時の可否を現在の周波数情報を用いて1つ前のクロック時に判断するようにしているが、これに限らず、次々順のクロック（ $n+2$ ）時の可否を次順のクロック（ $n+1$ ）に対する周波数情報を用いて2つ前のクロック時に予め判断するようにしても良い。例えば図10の(B)に示すように、 $T_{ras}=40\text{ns}$ の場合に、この期間を満たすか否かの判断を次順のクロック

ク ($n+1$) に対する周波数情報を用いて2つ前のクロック時 (n 番目のクロック) に予め判断することも可能である。また、次順のクロックの可否を次順のクロックに対する周波数情報を用いて予め判断するようにしても良い。更には、($m-1$) (m は自然数) クロック先のリクエストを予め受信でき、かつ ($m-1$) クロック先の周波数情報をも予め得ることができるような場合には、数クロック前に判断するようにしても良い。

【0054】

更に、上述の実施の形態においては、周波数情報Infqを取得する構成部を周波数制御部として説明したが、これ限らず、CPUなどの周波数を変化させる指令を出す処理部から直接周波数情報Infqを取得するようにしても良い。また、本実施の形態が搭載される電子機器もPDAやパーソナルコンピュータに限定されず、プリンターやファクシミリ、パソコン用周辺機器、電話機、テレビジョン受像機、画像表示装置、通信機器、携帯電話機、カメラ、ラジオ、オーディオビデオ機器、扇風機、冷蔵庫、ヘアドライヤー、アイロン、ポット、掃除機、炊飯器、電磁調理器、照明器具、ゲーム機やラジコンカーなどの玩具、電動工具、医療機器、測定機器、車両搭載用機器、事務機器、健康美容器具、電子制御型ロボット、衣類型電子機器、各種電動機器、車両、船舶、航空機などの輸送用機械、家庭用若しくは事業用発電装置、その他の用途に使用できる種々の電子機器に搭載可能である。

【0055】

【発明の効果】

本発明の情報処理装置によれば、クロック周波数の変化時に周波数情報Infqが時間待ちの計算などの演算処理に用いられる。このため余分な待ち時間を省いた極めて高速な処理が実現されることになり、換言すれば、高速動作を実現しながらも、待機時やスリープモード時などの期間では逆に消費電力を抑えることができることになる。従って、PDAやパーソナルコンピュータに使用した場合は、高速動作と低消費電力の双方を実現できることになる。

【図面の簡単な説明】

【図1】

本発明の情報処理装置の一例を示すブロック図である。

【図 2】

メモリ装置の動作を説明するタイムチャートであって、(A) は固定クロックの場合の動作、(B) は可変なクロック周波数の信号にそのまま固定したタイミングで動作させる場合の動作、(C) は周波数情報から計算する場合の動作のそれぞれタイムチャートである。

【図 3】

周波数情報の例を示すタイムチャートであって、(A) は周波数情報が現在の動作クロック信号CLKvの周波数を示す場合のタイムチャートであり、(B) は周波数情報が動作クロック信号CLKvの周波数の変化に先行して次のクロックの周波数を指標する場合のタイムチャートである。

【図 4】

周波数情報のエンコード方法の例を示すテーブルであって、(A) は2ビットで指標する例であり、(B) は周期に比例した値のデータを用いる例である。

【図 5】

本発明の情報処理装置の一例として、メモリコントローラとSDRAMを用いた場合のブロック図である。

【図 6】

図 5 のSDRAMの信号とコマンドの対応表の一例を示すテーブルである。

【図 7】

本発明の情報処理装置の一例として、PDAにメモリコントローラとメモリを組み込んだ例を示すブロック図である。

【図 8】

本発明の情報処理方法の一例として、SDRAMにおいてセンスアンプのデータにかかるアドレスの一致を見ながら処理する場合の流れ図である。

【図 9】

本発明の情報処理方法の一例として、待ち時間の演算処理を周波数情報に基づいて行う場合のサブルーチンの一例を示す流れ図である。

【図 10】

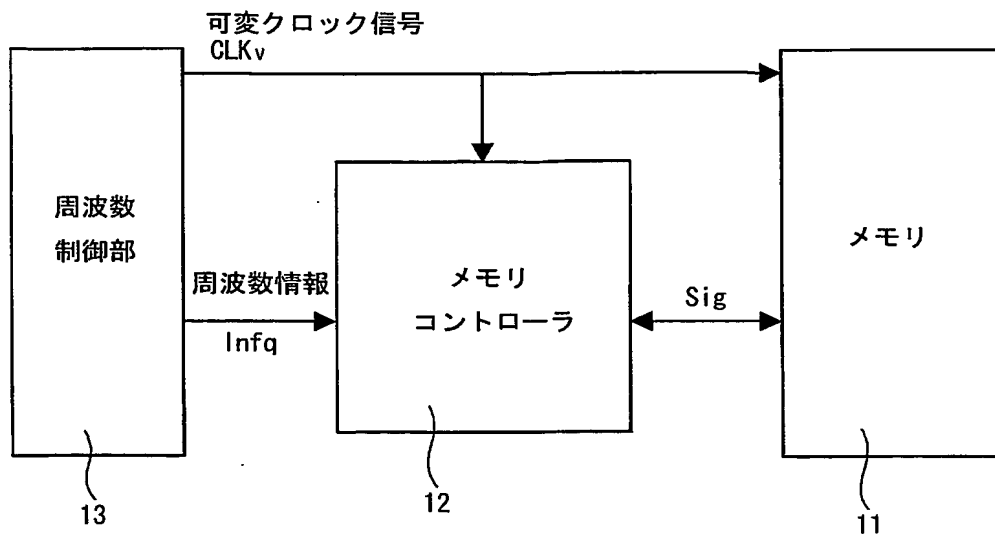
本発明の情報処理装置の一例における他の情報処理方法の例を示すタイムチャートである。

【符号の説明】

1 1 メモリ
1 2 メモリコントローラ
1 3 周波数制御部
3 0 メモリコントローラ
3 1 メモリユニット
6 1 CPU
6 6 バスライン
7 1 エンベデットDRAM
7 2 DRAMコントローラ
7 3 外部メモリコントローラ
7 4 ROM
7 5 SDRAM
7 6 周波数制御部
Infq 周波数情報
CLK_v 可変クロック信号

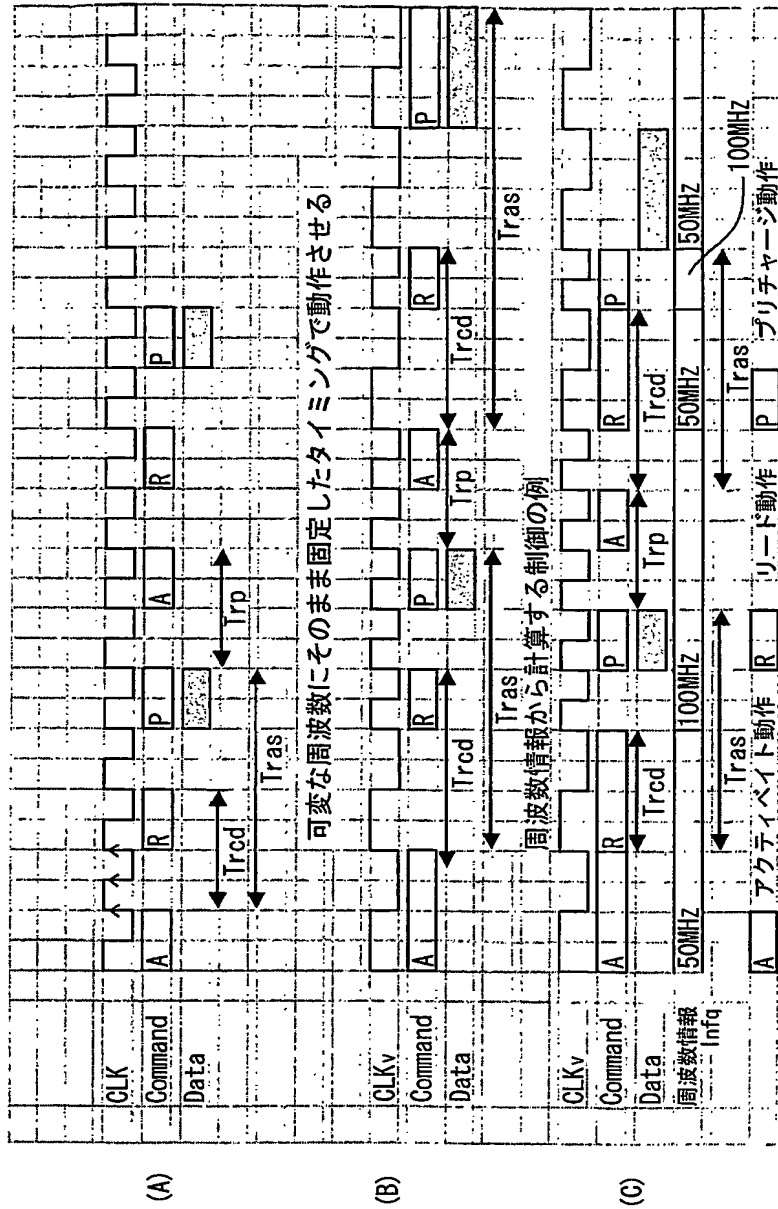
【書類名】 図面

【図 1】

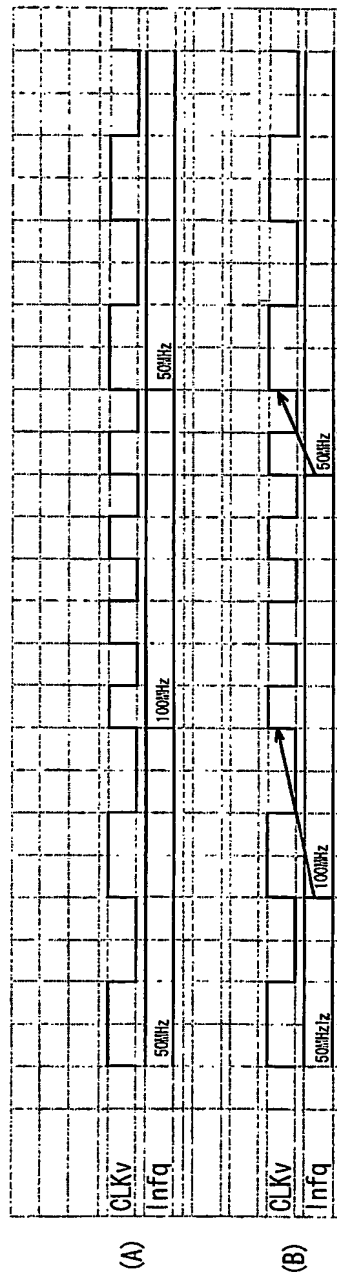


本発明の情報処理装置の一例

【図 2】



【図 3】



【図 4】

周波数情報のエンコード方法 1

(A)

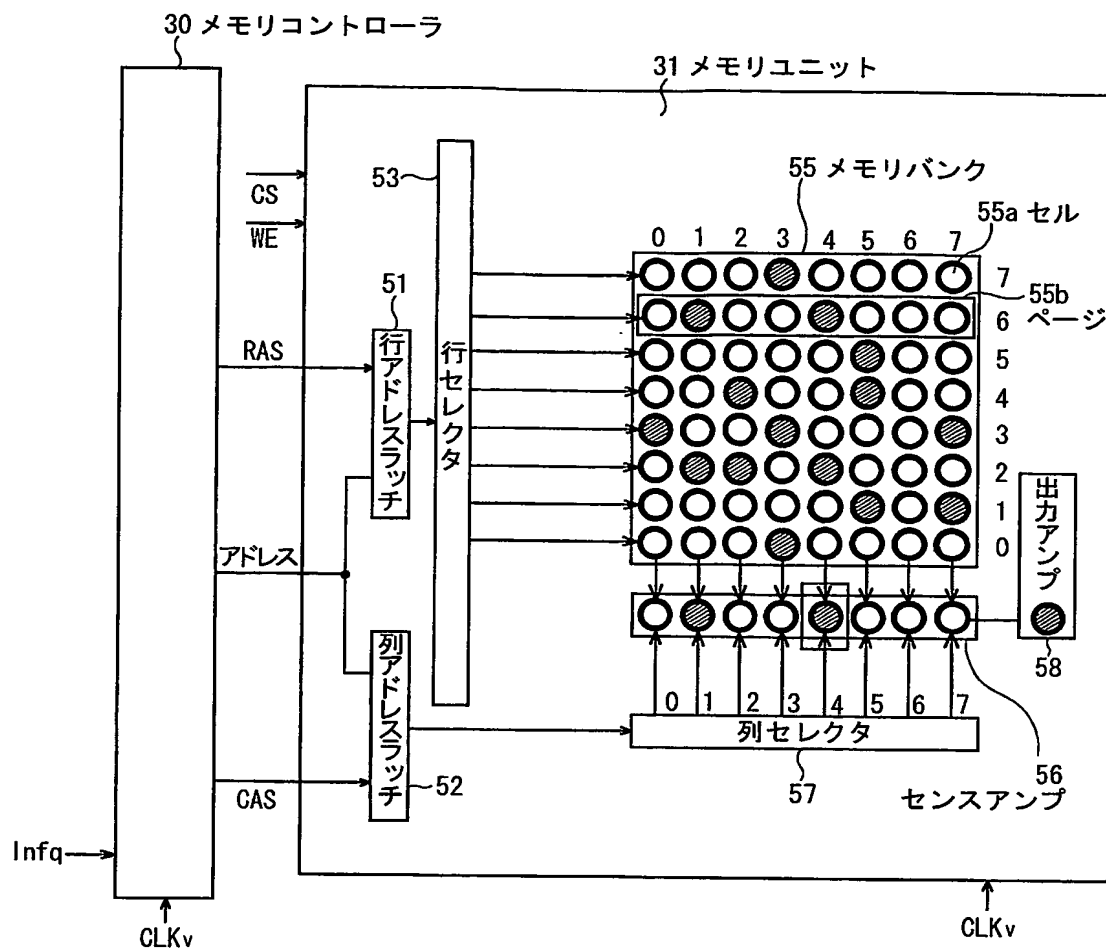
Infq [1:0]	CLKv
00	10 MHZ
01	33 MHZ
10	50 MHZ
11	100 MHZ

周波数情報のエンコード方法 2

(B)

Infq [3:0]	CLKv
10	10 MHZ
3	33 MHZ
2	50 MHZ
1	100 MHZ

【図 5】



メモリコントローラと SDRAM の一例

【図 6】

信号・コマンド対応表の一例									
コマンド	動作	CS	RAS	CAS	WE	ローアドレス	バンク	コラムアドレス	
DESL	非動作	H	X	X	X	X	X	X	
NOP	命令なし	L	H	H	H	X	X	X	
READ	リード	L	H	L	H	X	V	V	
WRITE	ライト	L	H	L	L	X	V	V	
ACT	アクティベート	L	L	H	H	V	V	X	
PRE	プリチャージ	L	L	H	L	V	V	X	
PALL	全バンクプリチャージ	L	L	H	L	X	X	X	
REF	リフレッシュ	L	L	L	H	X	X	X	
MRS	モードセット	L	L	L	L	*	*	*	
BST	バーストストロップ	L	H	H	L	X	X	X	

記号

L H X V *

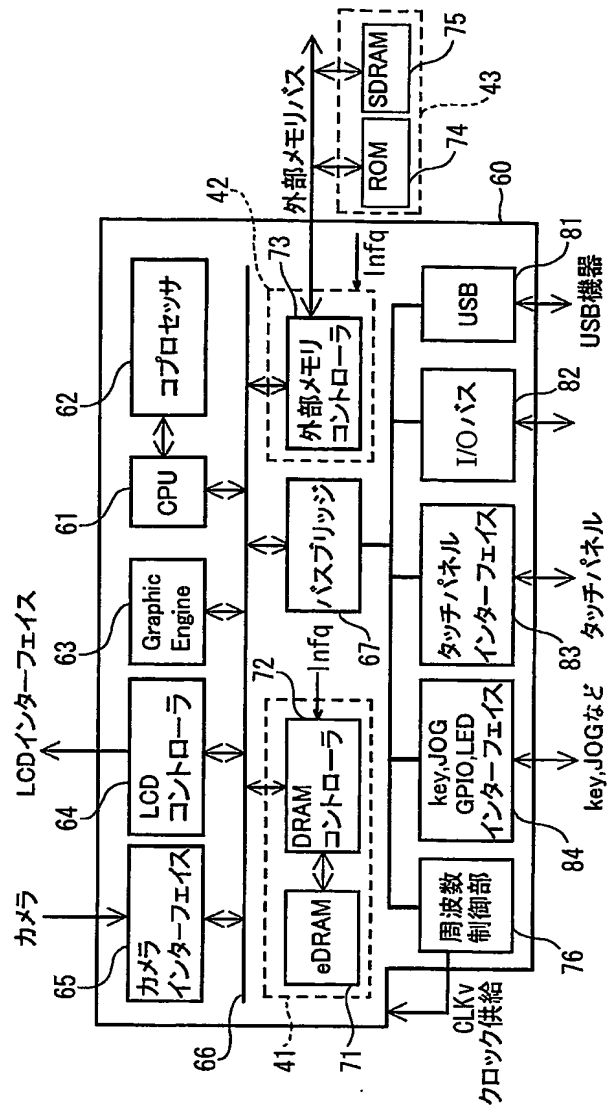
意味

0 1

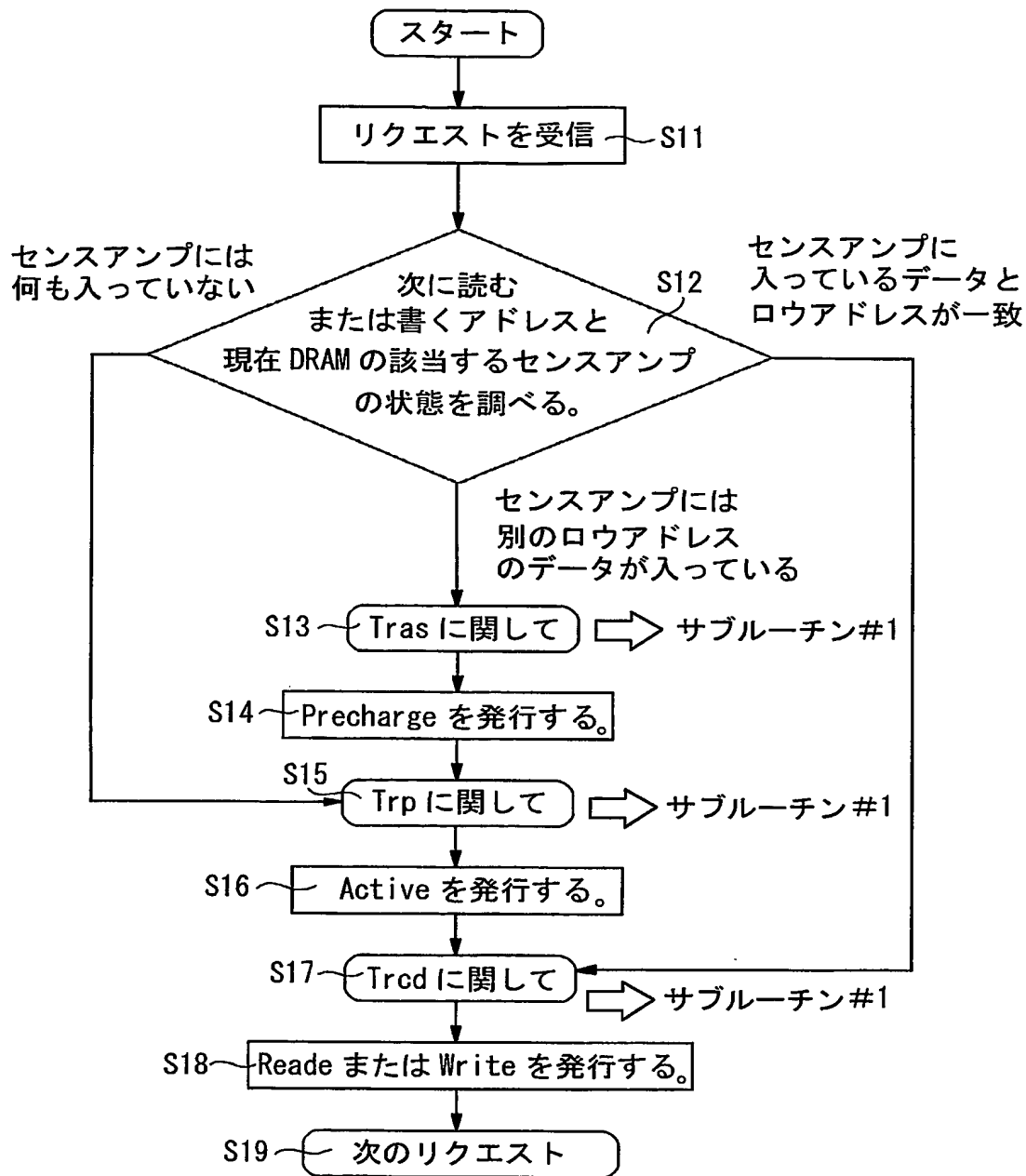
任意
有効
一部有効

(N+は2倍の情報が必要なケースもあり)

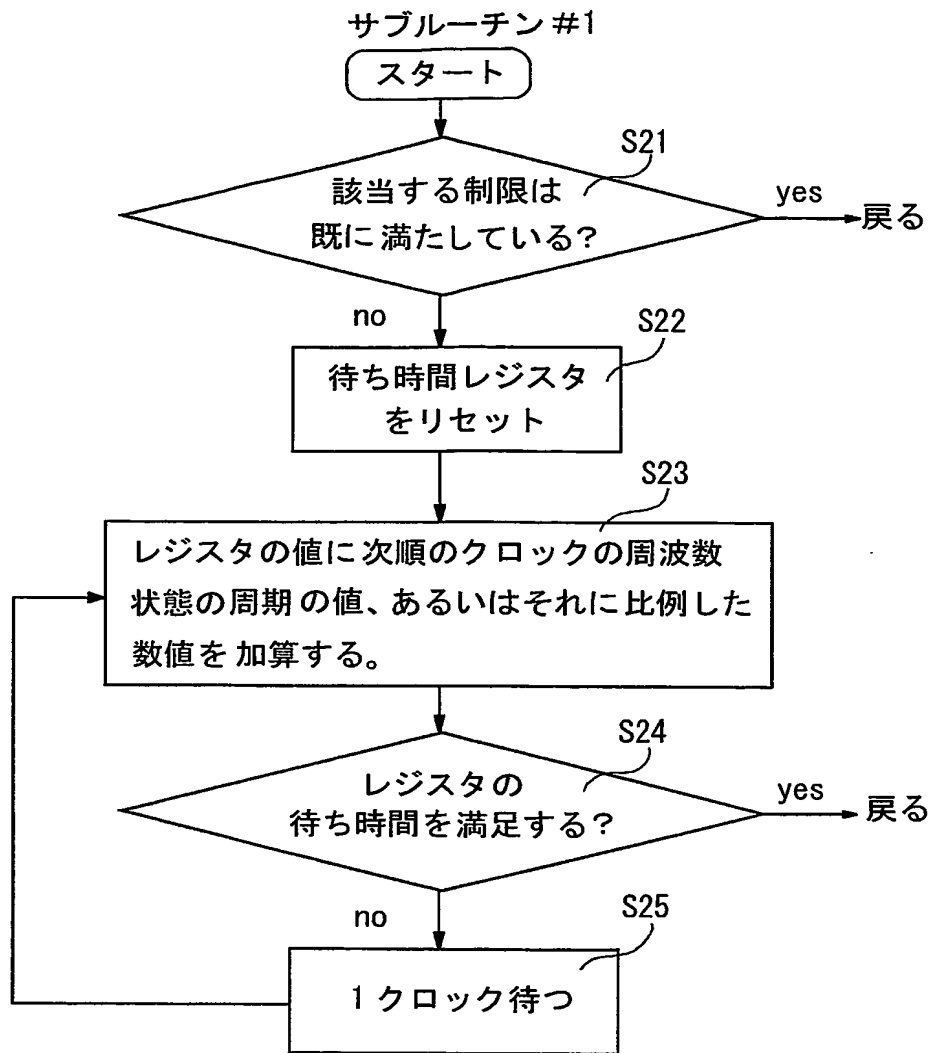
【図 7】



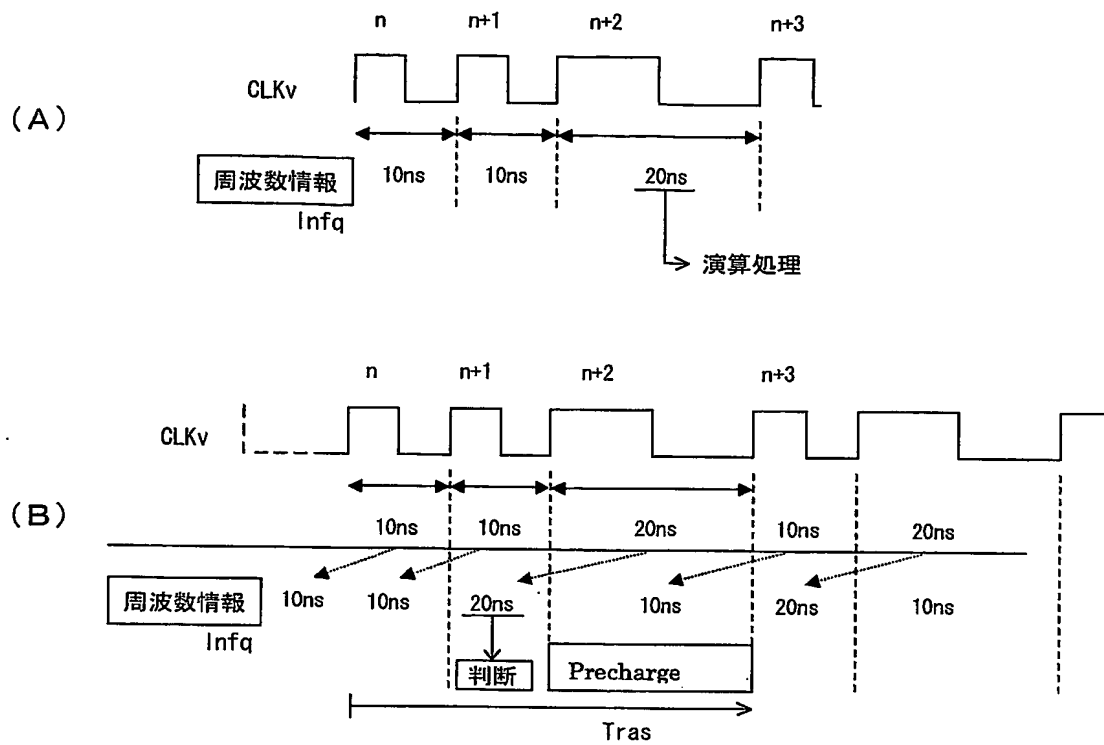
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 可変とされる動作周波数を利用した場合でも性能の低下を招かず最適な信号処理が実現される情報処理装置や情報処理方法を提供する。

【解決手段】 周波数が可変とされる同期クロックCLK_vの周波数情報Infqが演算処理される周波数情報演算部12と、前記同期クロックが動作のクロックとして供給されると共に前記周波数情報演算部12で演算処理された結果に応じたタイミングで情報処理を行う情報処理部11と設け、無駄な時間待ちなどを省いた最適化した処理を進める。

【選択図】 図1

特願 2 0 0 2 - 3 0 4 5 3 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 3 0 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 品 川 区 北 品 川 6 丁 目 7 番 3 5 号

氏 名

ソ ニ ー 株 式 会 社